SN-04

උසස්පෙළ තොරතුරු හා සන්නිවේදන තාක්ෂණය

04 පාඩම කෙටි සටහන්

Short Note Book

අංකිත පරිපථ වල මූලිකාංග

Fundamentals of Digital Circuits

නිපුනතාවය 04

Bsc. IT&M (Hons)
University of Moratuwa

☎ 071 397 2344

04. මූලික අංකිත පරිපථ සහ උපක්‍රම නිර්මාණය සදහා තාර්කික ද්වාර භාවිතය

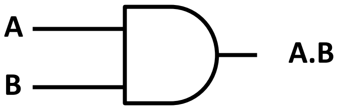
4.1 මූලික අංකිත තාර්කික ද්වාර ඒවායේ අනන්‍ය ක්‍රියාකාරිත්වය අනුසාරයෙන් විශ්ලේෂණය

4.1.1 අංකිත තාර්කික ද්වාර හා සත්‍යතා වගු

මූලික තාර්කික ද්වාර (Basic Gates)

බූලීය තර්කනයේදී භාවිතා වන මෙහෙයුම් ගණනය කිරීම සදහා යොදාගන්නා ස්විච ද්වාර ලෙස හදුන්වයි. සංඛ්‍යාංක පරිපථයක්(Digital circuit) නිර්මාණය කිරීමේ මූලික පදනම ද්වාර වේ. 1 හා 0 ලෙස හදුනාගන්න වෝල්ටීයතා මට්ටම් දෙකක් අනුව ද්වාර මගින් තර්කනයන් සිදුකරයි.

- AND ද්වාරය
  ආදාන සියල්ලම සත්‍ය වූ විට පමණක් ප්‍රතිදානය සත්‍ය වන ද්වාරයයි.

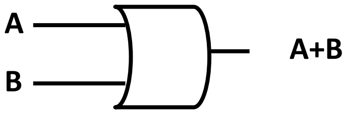


සංකේතය

A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1

සත්‍යතා වගුව

- OR ද්වාරය
  මෙම ද්වාරයේ ප්‍රතිදානය අදානයන්හි එකතුවක් ලෙස ලැබේ

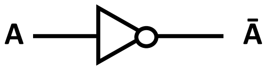


සංකේතය

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

සත්‍යතා වගුව

- NOT ද්වාරය
  අදානයේ ප්‍රතිවිරුද්ධ අගය ප්‍රතිදානයක් ලෙස ලබාදීම මෙම ද්වාරයේ ක්‍රියාකාරිත්වයයි.

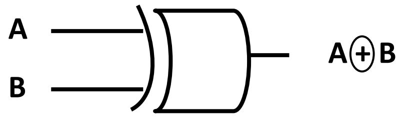


සංකේතය

A	Ā
0	1
1	0

සත්‍යතා වගුව

- XOR ද්වාරය
  මෙම ද්වාරයේ ආදාන දෙකම එකම වර්ගයේ වූ විට ප්‍රතිදානය අසත්‍ය වී ආදාන දෙක වෙනස් වූ විට පමණක් ප්‍රතිදානය සත්‍ය වේ.



සංකේතය

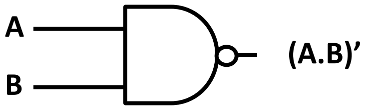
A	B	$A\oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

සත්‍යතා වගුව

ඒකාබද්ධ ද්වාර / ද්වාර සංයෝජන (Combinational Gates)

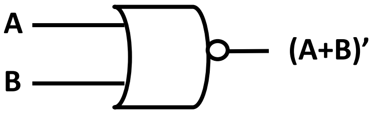
ඉහත හදුනාගත් මුලික ද්වාර සම්බන්ධ කරමින් නිර්මාණය කරගන්නා ද්වාර ඒකාබද්ධ ද්වාර වේ.

- NAND ද්වාරය
  AND ද්වාරයක ප්‍රතිදානය NOT ද්වාරයකට ඇතුල් කල විට ලැබෙන ප්‍රතිඵලය NAND ද්වාරයෙන් ලැබේ.



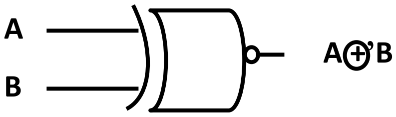
A	B	(A.B)’
0	0	1
0	1	1
1	0	1
1	1	0

- NOR ද්වාරය
  OR ද්වාරයක ප්‍රතිදානය NOT ද්වාරයකට ඇතුල් කල විට ලැබෙන ප්‍රතිඵලය NOR ද්වාරයෙන් ලැබේ



A	B	(A+B)’
0	0	1
0	1	0
1	0	0
1	1	0

- XNOR ද්වාරය

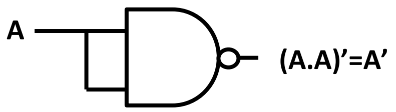


A	B	A⊕‘B
0	0	1
0	1	0
1	0	0
1	1	1

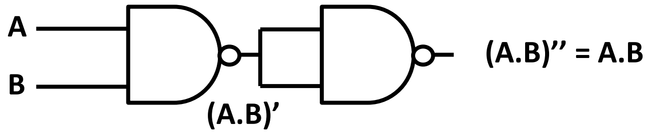
සාර්ව ද්වාර(Universal Gates)

සාර්ව ද්වාර යනු NAND හා NOR ද්වාර දෙකයි. සාර්ව ද්වාර අකාරයෙන් පරිපථ ගොඩනැගීම තුලින් විදුලිය වැයවීම අඩුවීම, වේගවත් බව හා පිරිවැය අඩුවීම වැනි වාසි පරිපථ තුලින් ලබාගත හැක. මෙහිදී NAND හා NOR ද්වාර භාවිතයෙන් AND,OR හා NOT නිර්මාණය සිදුකරයි.

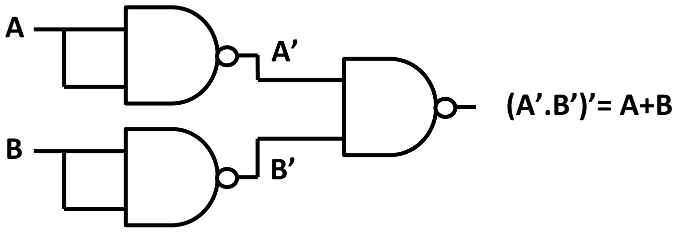
- ❖ NAND ද්වාරය මගින් NOT ද්වාරය සකසා ගැනීම



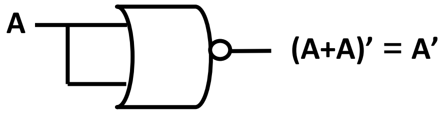
- ❖ NAND ද්වාරය මගින් AND ද්වාරය සකසා ගැනීම



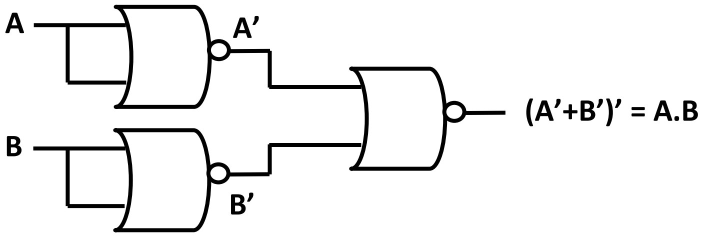
- ❖ NAND ද්වාරය මගින් OR ද්වාරය සකසා ගැනීම



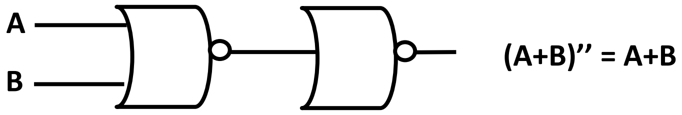
- ❖ NOR ද්වාරය මගින් NOT ද්වාරය සකසා ගැනීම



- ❖ NOR ද්වාරය මගින් AND ද්වාරය සකසා ගැනීම



- ❖ NOR ද්වාරය මගින් OR ද්වාරය සකසා ගැනීම



4.2 බූලීය වීජ ගණිතයේ ඇති නීති හා කානෝ සිතියම් භාවිතයෙන් තාර්කික ප්‍රකාශ සුළු කිරීම.

විද්‍යුත් උපකරණ තුල ඇති පරිපථ හැකිතාක් කුඩාවට නිර්මාණය කරගැනීමට ඒවාට අදාළ තාර්කික ප්‍රකාශන සරල කිරීම මගින් සිදුකරගත හැකියි. මෙහිදී වියදම අඩු වීම, වැයවන විදුලිය අඩුවීම,ද්වාර සඳහා ඉඩ අඩු වීම, පරිපථ රත්වීම අඩුවීම වැනි වාසි ලබාගත හැක.

4.2.1 ද්වි අවස්ථා තර්ක හා බූලීය වීජ ගණිතය

ඉලෙක්ට්‍රොනික් නිෂ්පාදන වල ඇති පරිපථ තාර්කිකව නිර්මාණය කිරීමට යොදාගන්නා ගණිත සංකල්පය ලෙස බූලීය වීජ ගණිතය විද්‍යාඥ ජෝර්ජ් බූල් හදුන්වා දෙනලදී.

බූලීය වීජ ගණිතයේදී අගයක් නිරූපණයට 1 හා 0 යන අගයන් පමණක් යොදාගන්නා අතර එය සත්‍ය/අසත්‍ය යන ද්වී අවස්තාවන් ලෙස හඳුනාගනී.

4.2.2 උපකල්පන(Postulates) හා ප්‍රත්‍යක්ෂ/ස්වාසිද්ධිය(Axioms)

බූලියානු සුලුකිරීමේදී බලපාන නිති රීති පහත තාර්කික උපකල්පන මත පදනම්ව නිර්මාණය වේ.

0*0=0 0+0=0 1*1=1 1+1=1 0+1=1 1+0=1

X=0 නම් $\dot{X}$ =1වේ. X=1 නම් $\dot{X}$=0 වේ.

මෙහි, * මගින් තාර්කික ගුණිතය AND
+ මගින් තාර්කික එකතු කිරීම OR
- මගින් තාර්කික NOT නිරූපණය කරයි.

4.2.3 නීති/ප්‍රමේය

1. ආදේශකර/දේශනාසය න්‍යාය (Commutative law)
   A.B=B.A A+B=B+A
2. සංඝටන න්‍යාය (Associative law)
   (A.B).C=A.(B.C) A+(B+C)=(A+B)+C
3. විඝටන න්‍යාය (Distributive law)
   A(B+C)=(AB)+(AC) A+(BC)=(A+B)(A+C)
4. සර්වසාම්‍ය නීතිය (Identity law)
   A.1 =A A.0=0
   A+1=1 A+0=A
5. සමතිරික්ත න්‍යාය (Redundancy law)
   A+(A.B)=A A.(A+B)=A
   A+(A’.B)=A+B A.(A’+B)=A.B
6. තදෙහාවි න්‍යාය (Idempotent law)
   A.A=A A’.A’=A’
   A+A=A A’+A’=A’
7. ප්‍රතිලෝම න්‍යාය (Complement law)
   A.A’ =0 A+A’=1
8. මෝගන් න්‍යාය (Morgan’s law)
   (A+B)’=A’.B’ (A.B)’=A’+B’
9. ද්විත්ව අනුපූරක න්‍යාය (Double complement law)
   A=A’’

4.2.4 සම්මත තාර්කික ප්‍රකාශ

බූලීය ප්‍රකාශනයක්ම පැවතිය හැකි ප්‍රධාන ආකාර දෙකකි..

- **ගුණිතයන්ගේ එකතු ප්‍රකාශන (Sum of Product-SOP)**
  AND ද්වාර කිහිපයක් OR ද්වාරයකට සම්බන්ධ කර ඇති පරිපථයකි.
  Ex: ABC+A'BC+ABC'+C'D
  සත්‍යතා වගුවකින් SOP ප්‍රකාශනයක් ලබාගැනීමට වගුවේ ප්‍රතිදානය පෙන්වන තීරුවේ 1 ඇති පේලි වල විචල්‍යන් AND ලෙස ලියා ඒවා සියල්ල OR ද්වාරයකට ඇතුලත් කරන ආකාරයට ලියාගන්න

A	B	X	SOP
0	0	0	
0	1	1	A'B
1	0	1	AB'
1	1	1	AB

  SOP = A'B+AB'+AB

- **එකතුන්ගේ ගුණිත ප්‍රකාශන (Product of Sum-POS)**

  OR ද්වාර කිහිපයක් AND ද්වාරයකට සම්බන්ධ කර ඇති පරිපථයකි.

  Ex: (A+B+C).(A'+B+C).(C+D').(A+B'+C)

  සත්‍යතා වගුවකින් POS ප්‍රකාශනයක් ලබාගැනීමට වගුවේ ප්‍රතිදානය පෙන්වන තීරුවේ 0 ඇති පේලි වල විචල්‍යන් OR ලෙස ලියාගෙන ඒවා සියල්ල AND ද්වාරයකට ඇතුලත් වන ආකාරයට ලියන්න

A	B	X	POS
0	0	0	A+B
0	1	0	A+B'
1	0	0	A'+B
1	1	1	

  POS = (A+B)(A+B')(A'+B)

4.2.5 ගුණිතයන්ගේ එකතු ප්‍රකාශන එකතුන්ගේ ගුණිත ප්‍රකාශන ලෙස පරිවර්ථනය (Convert SOP to POS)

මෙහිදී දෙන ලද SOP ප්‍රකාශනයටම Over bar එකක් යොදා සුලුකල විට POS ප්‍රකාශනය ලැබේ.

F=AB'+BC'	දෙන ලද SOP ප්‍රකාශනය
= (AB'+BC')'	Over bar එකක් දීම
= (AB')'.(BC')'	මෝගන් න්‍යාය භාවිතය
= (A'+B'').(B'+C'')	ද්විත්ව අනුපූරක න්‍යාය
= (A'+B).(B'+C)	POS ප්‍රකාශනය

එකතුන්ගේ ගුණිත ප්‍රකාශන ගුණිතයන්ගේ එකතු ප්‍රකාශන ලෙස පරිවර්ථනය (Convert POS to SOP)

මෙහිදී දෙන ලද POS ප්‍රකාශනයටම Over bar එකක් යොදා සුලුකල විට SOP ප්‍රකාශනය ලැබේ.

F=(AB').(B+C')	දෙන ලද POS ප්‍රකාශනය

= (A+B’).(B+C’)’ Over bar එකක් දීම

= (A+B’)’+(B+C’)’ මෝගන් න්‍යාය භාවිතය

= (A’.B’’)+(B’.C’’) ද්විත්ව අනුපූරක න්‍යාය

= (A’.B)+(B’.C) SOP ප්‍රකාශනය

4.2.6 තාර්කික ප්‍රකාශන සුළු කිරීම

1. බූලීය න්‍යායන් භාවිතයෙන් ප්‍රකාශන සුළු කිරීම

1). AB+AB’
A(B+B’) //ප්‍රතිලෝම න්‍යාය
A(1) //සර්ව සාම්‍ය
A

2). XYZ+X’YZ’+XYZ’+X’YZ
XYZ+X’Y(Z’+Z)+XYZ’ //A+A’=1 නීතිය
XYZ+X’Y+XYZ’ //සර්ව සාම්‍ය න්‍යාය
XY(Z+Z’)+X’Y //A+A’=1 නීතිය
XY(1)+X’Y //සර්ව සාම්‍ය න්‍යාය
XY+X’Y
Y(X+X’) // A+A’=1 නීතිය
Y

3). AB+AB’+A’B
A(B+B’) +A’B //ප්‍රතිලෝම න්‍යාය
A(1) +A’B //සර්ව සාම්‍ය
A+A’B //සමතිරික්ක න්‍යාය
A+B

2. කානෝ සිතියම(Karnaugh map) භාවිතයෙන් ප්‍රකාශන සුළු කිරීම

කානෝ සිතියමක් නිර්මාණය කිරීමේදී පහත පියවර අනුගමනය කරන්න.

I. ප්‍රකාශනයේ විචල්‍ය සංඛ්‍යාවට ගැලපෙන වගුව සකස් කරගන්න
2^n සූත්‍රය භාවිතයෙන් සිතියමේ කොටු ගණන ලබාගන්න. n= ප්‍රකාශනයේ විචල්‍ය ගණන
Eg: AB+A’B+A’B’ ⟶ 2^2=4 ⟶ කොටු ගණන 4කි.

II. කානෝ සිතියමේ විචල්‍යන්ට අදාලව තීරු හා පේලි නම් කිරීම

Eg: AB+A’B+A’B’

A \ B		

Eg: ABC+A’BC+AB’C

A \ BC				

III. විචල්‍යක් අදාළ කොටුවේ නිරූපණය වන අකාරය ලකුණු කරන්න

A \ B	0	1
0		
1		

AB \ CD	00	01	11	10
00				
01				
11				
10				

කොටුවේ නිරූපනයන් හඳුනාගැනීම

A\B	0	1
0	a	b
1	c	d

a= 00 = A’B’ b= 10 = A’B

c= 10 = AB’ c= 11 = AB

IV. බූලීය ප්‍රකාශනයක් කානෝ සිතියමක ලකුණු කිරීම(POS හා SOP අනුව ආකාර දෙකකි)

- **SOP ප්‍රකාශනයක් කානෝ සිතියමක ලකුණු කිරීම** : ප්‍රකාශනයට ගැලපෙන ලෙස කානෝ සිතියම නිර්මාණය කර ප්‍රකාශනයේ පාද වලට අදාළ කොටුවල 1 ලෙසත් ඉතිරි කොටු 0 ලෙසත් නම් කරගන්න.

AB+A’B+AB’

A\B		1
0	0	1
1	1	1

XYZ+X’YZ+XYZ’+XY’Z’

X\YZ	00	01	11	10
0	0	0	1	0
1	1	0	1	1

- **POS ප්‍රකාශනයක් කානෝ සිතියමක ලකුණු කිරීම** : ප්‍රකාශනයට ගැලපෙන ලෙස කානෝ සිතියම නිර්මාණය කර ප්‍රකාශනයේ පාද වල ප්‍රතිවිරුද්ධ අගයන් සිතියම තුල 0 ලෙසත් ඉතිරි කොටු 1 ලෙසත් නම් කරන්න.

(A+B)(A’+B)(A+B’)

A\B		1
0	0	0
1	0	1

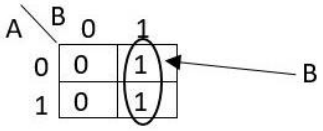
(X+Y+Z)(X’+Y+Z)(X+Y+Z’)(X+Y’+Z’)

X\YZ	00	01	11	10
0	0	0	0	1
1	0	1	1	1

V. බූලීය ප්‍රකාශනය සුළු කිරීම

1. මුලින්ම අදාළ ප්‍රකාශනය කානෝ සිතියම තුල ලකුණු කරගන්න
2. සිතියමේ එක ලග ඇති කොටු කාණ්ඩ ගත කරන්න(අදාල ප්‍රකාශනය SOP නම් 1 ඒවාද, POS නම් 0 ඒවාද කාණ්ඩ කරගන්න)

   Eg: A’B+AB



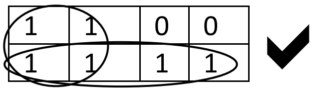
3. ඉහත (B) පරිදි ලකුණු කල කාණ්ඩයට අයත් පොදු විචල්‍යන් හඳුනාගන්න

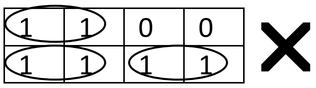
   පිළිතුර :- A’B+AB=B (ලකුනු කල කාණ්ඩයේ කොටුවල B විචල්‍ය පොදු වීම නිසා)

කානෝ සිතියමකින් බූලීය ප්‍රකාශන සුළු කිරීමේදී භාවිතා කල යුතු ක්‍රමවේද

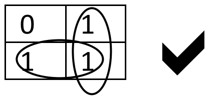
1. පිළිතුර ලබාගත් යුත්තේ SOP ලෙස නම් 1ට අදාළ ස්ථානද, POS ආකාරයට නම් 0 ට අදාළ ස්ථානද කාණ්ඩ ගත කරන්න
2. විකර්ණ ලෙස කාණ්ඩ ගත නොකරේ

3. කාණ්ඩයකට අයත් කොටු ගණන 1,2,4,8 යන දෙකේ බල ආකාර විය යුතුයි.
4. වැඩිම කොටු ගණනකට කාණ්ඩ නිර්මාණය කල යුතුයි

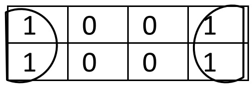


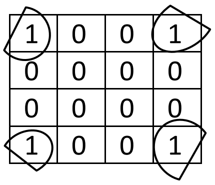


5. එක කාණ්ඩයක කොටු තවත් කාණ්ඩයකට භාවිතා කල හැක



6. සිලින්ඩරාකාර ලෙස කොටු කාණ්ඩ ගතකල හැක





4.3 තාර්කික ද්වාර භාවිතයෙන් සරල අංකිත පරිපථ නිර්මාණය

4.3.1 නිර්මාණ සඳහා තාර්කික ප්‍රකාශන හා සත්‍යතා වගු ගොඩනැගීම

01. පාසලක ප්‍රධාන ගේට්ටුව විවෘත කිරීම උදෑසන 7.00ට පෙර සිදුවිය යුතුයි. ගේට්ටුවේ යතුරු 3ක් ඇති අතර යතුරු 3 පිළිවලින් විදුහල්පතිතුමා, මුරකරු හා නියෝජ්‍ය විදුහල්පතිතුමා යන තිදෙනා තබාගෙන ඇත.මෙහිදී ගේට්ටුව විවෘත කිරීම සඳහා ඉහත යතුරු වලින් 2ක් පමණක් භාවිතා කල යුතුයි.
    I. ඉහත සිදුවීමට අදාළ සත්‍යතා වගුවක් ගොඩනගන්නන
    II. සත්‍යතා වගුවහි ප්‍රතිදානයන් මගින් SOP ප්‍රකාශනයක් ගොඩනගා බූලිය නීති භාවිතයෙන් එය හැකිතාක් සුළු කරන්න
    III. සුලුකිරීමෙන් ලද ප්‍රකාශනය NAND හෝ NOR පමණක් භාවිතයෙන් නිර්මාණය කරන්න
02. එක්තරා විද්‍යාගාරයක ආරක්ෂක පද්ධතිය අනතුරු ඇඟවීමේ සංඥා ලෙස සීනුවක් නාද කෙරේ. එහිදී අනතුරු ඇඟවීම(x) 1 ලෙසද, එසේ නොවන අවස්ථාව 0 ලෙසද ගන්න. උෂ්ණත්වය(T) < = 300C වී වායු පීඩනය(P) අඩු වන විට හෝ ජල පීඩනය(W) 10ට වැඩි වී උෂ්ණත්වය > 300C වන විට අනතුරු ඇඟවීම සිදුවන ලෙස ආරක්ෂක පද්ධතිය සකසා තිබේ. මෙහි අදානයන් පහත පරිදිය

ආදානය	ද්විමය අගය	කොන්දේසිය
p	0	වායු පීඩනය අඩු කරයි
	1	වායු පීඩනය වැඩි කරයි
T	0	උෂ්ණත්වය 300ට වැඩියි
	1	උෂ්ණත්වය 300ට අඩුයි
W	0	ජල පීඩනය 10ට වැඩියි
	1	ජල පීඩනය 10ට අඩුයි

I. ඉහත පද්ධතියේ ක්‍රියාකාරිත්වය දැක්වීමට සත්‍යතා වගුවක් ගොඩනගන්න
II. x = A’B+AB’ මෙම සමීකරණය NAND හෝ NOR වලින් පමණක් දක්වන්න

4.3.2 අංකිත පරිපථ නිර්මාණය

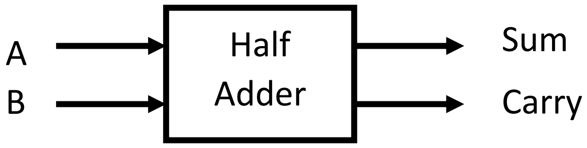
4.4 මාධ්‍ය සැකසුම් ඒකකයෙහි සහ භෞතික මතකයෙහි ඇති අනුක්‍රමික පරිපථයන්හි ඒකාබද්ධ තාර්කික පරිපථ භාවිතය

4.4.1 මාධ්‍ය සැකසුම් ඒකකයේ තැනුම් ඒකක

පරිගණක සකසනය තුල ඇති ALU පරිපථයේ නිර්මාණය සඳහා ද්වාර භාවිතා කල තැනුම් ඒකක ලෙස අර්ධාකලකය හා පූර්නාකලකය හදුනාගත හැකියි.

01. අර්ධාකලකය (Half adder)

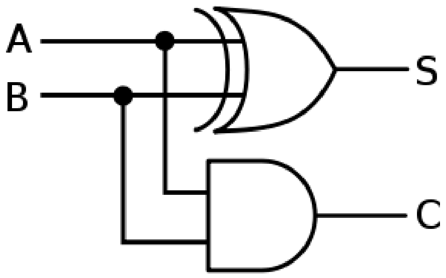
ආදාන ලෙස බිටු දෙකක් ලබාගෙන එම බිටු දෙක එකතු කර ප්‍රතිදානයන්ද දෙකක් ලබා දේ. එනම් බිටු දෙකෙහි එකතුව(SUM) හා ඉදිරියට ගෙන යන බිටුව(Carry) ලෙසය. මෙය සත්‍යතා වගුවකින් පහත පරිදි හදුනාගත හැක



A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

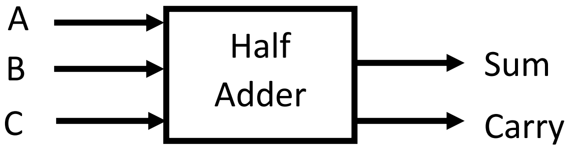
S=AB'+A'B(XOR)
C=AB

අර්ධකලකයක පරිපථය ද්වාර භාවිතයෙන් පහත පරිදි නිර්මාණය කල හැක



02. පූර්නාකලකය (Full adder)

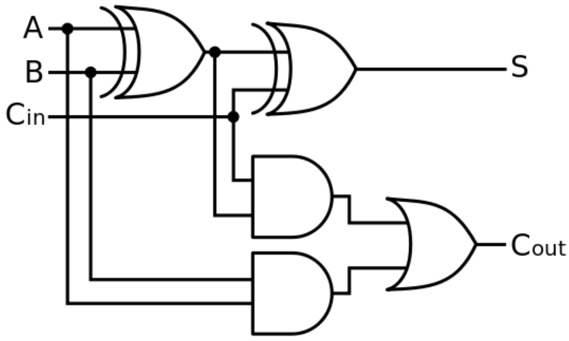
බිටු 3ක අදානයක් ලබාගෙන එම බිටු වල එකතුව හා ඉදිරියට ගෙනයන බිටුව ලෙස ප්‍රතිදාන දෙකක් සහිත පරිපතයකි



A	B	C	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

S=A'BC'+AB'C'+A'B'C+ABC
C=AB+BC+AC

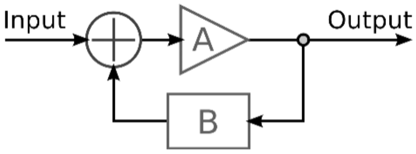
මෙහි තාර්කික පරිපථය පහත පරිදි වේ.



4.4.2 අංකිත පරිපථ තුල බිටු ගබඩා කිරීම

01. **ප්‍රතිපෝෂණ ලූපය (feedback loop)**

විද්‍යුත් පරිපථ වල කිසියම් ප්‍රතිදානයක් නැවත එම පරිපතයටම ආදානය කර ගැනීමයි.

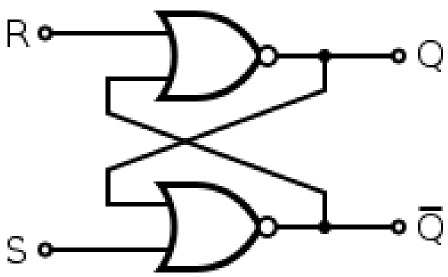


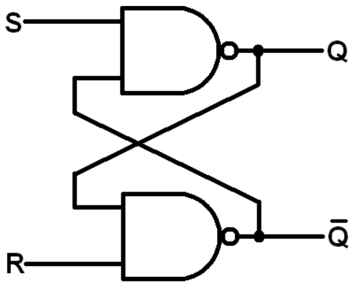
02. පිලිපොළ (Flip flop)

පරිපථයක බිටු අගයන් ගබඩා කරගැනීම සඳහා භාවිතා වන අනුක්‍රමික තර්ක පරිපථ මේ නමින් හඳුන්වයි.

S-R පිලිපොළ (Set-Reset flip-flop)

මෙම පරිපථය NAND හෝ NOR වලින් පමණක් නිර්මාණය කරයි.





ඔබට ඔබේ අරමුණු අමතක වන්නේද, එතනදීම ඔබ පරදින්නේය...

- ජවහර්ලාල් නේරු

A/L ICT

A2Z iCT

චමින්ද කිත්සිරි

BSc.(Hons)in IT & M University Of Moratuwa

2022 Theory බදාදා උදේ 9.00 – 11.00

(පාසල් ආරම්භවන තුරු)

සුධර්මාරාමය

මහනුවර

A/L 2021 පංති සදහා විමසන්න 071 397 2344