

05. (a) අනුක්‍රමික තර්ක පරිපථ වල නැගවී එකක ජිප්පොළ [Flip-flop] වේ. මෙම පරිපථ වල විවේචන මන්දාකාරීත්වය නම්, නිර්ණය කරන්න මෙම තර්ක ගතියේ නැතිවීමයි.

(i) පරිපථයක තුළ ජිප්පොළ පරිපථ යොදාගනු ලබන්නේ කුමක් සඳහාද?

(ii) NAND කර්කත දැනට භාවිතයේ ඇති ජිප්පොළ පරිපථයක් (S-R Flip flop) නිර්මාණය කරන්න.

(iii) ඉහත පරිපථයේ ප්‍රතිදානය නිර්මාණය කිරීම සඳහා සන්නායක විද්‍යුත් ගොඩනගන්න.

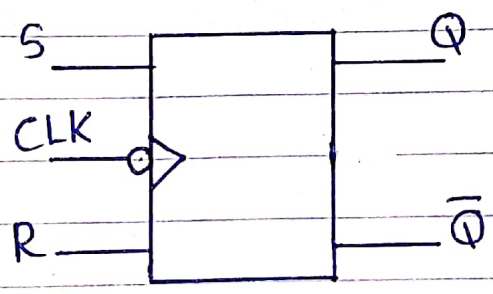
(b) ඉහත සඳහන් SR ජිප්පොළ වලට ආදානයන් ලබාදුන් විට ප්‍රතිදානය ලැබේ. නමුත් ආරම්භක අවස්ථාවේ ප්‍රතිදානය ලබාගැනීම සඳහා ඔබට සහිත SR ජිප්පොළ භාවිතා කරන්න.

(i) සවිකා ස්පන්දනයක් [Clock pulse] යනු කුමක්ද? සවිකා ස්පන්දනයක අන්තර්ගත මූලික ප්‍රදේශ හතර රූපයට හතරින් කිරීමක් කරන්න.

(ii) සවිකා ස්පන්දනයක් සමග NAND සහ NOR ද්‍රව්‍ය භාවිත SR ජිලිපොල පරිපථ වල ක්‍රියාකාරීත්වය කෙටියෙන් පැහැදිලි කරන්න.

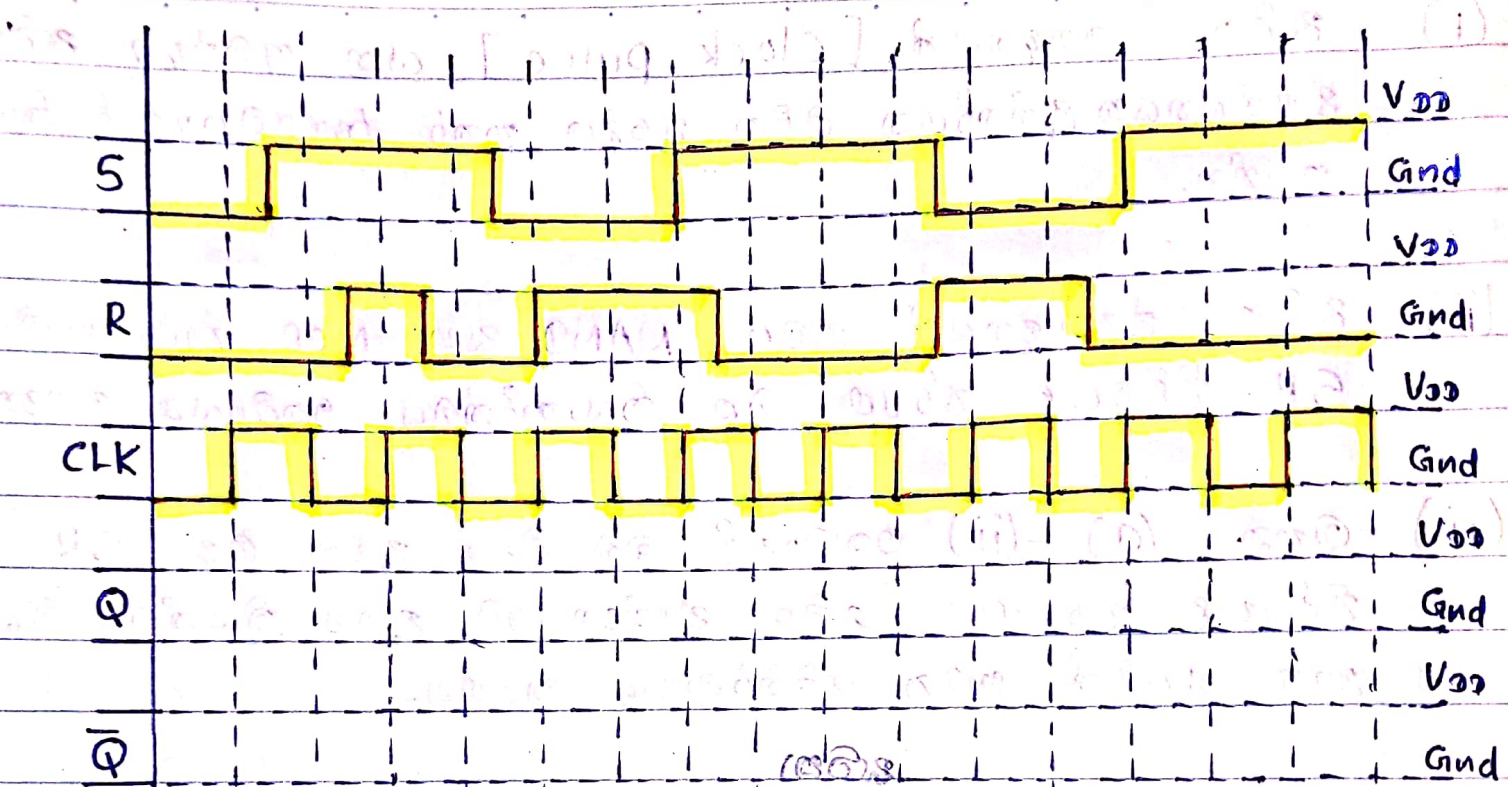
(iii) මූහත (a) - (ii) කොටසේදී ඔබ විසින් දුන් මද SR ජිලිපොල පරිපථය, සවිකා ස්පන්දනයකට අනුව ක්‍රියාත්මක විය නැති අයුරින් නැවත ප්‍රතිනිර්මාණය කරන්න.

(c) ඊහත රූපයට හතර මගින් දැක්වෙන ජිලිපොල පරිපථය දැක්වෙන්නේ මෙහි දැක්වූ ප්‍රශ්න සඳහා ජිලිපොල මගින් කරන්න.



(i) මූහත රූපයට හතර මගින් දැක්වෙන ජිලිපොල පරිපථය නිවැරදිව හඳුනාගන්න.

(ii) සවිකා ස්පන්දනය [CLK-Clocked pulse] අනුව ක්‍රියාත්මක වන මූහත ජිලිපොල පරිපථය සඳහා ඊහත ප්‍රස්ථාර සටහනෙහි දැක්වෙන දෘඩතා මට්ටම් දුන් විට එහි පවතින ප්‍රතිදානය [Q, Q-bar] නිවැරදිව දැක්වෙන්න.



Timing diagram for a clocked SR flip-flop. The signals shown are Set (S), Reset (R), Clock (CLK), Output (Q), and Complement Output (Q-bar). The output Q changes state only on clock transitions (edges) when both S and R are low. When S is high, Q is set to high, and when R is high, Q is reset to low.

A/L Engineering Technology Syllabus

විෂය අන්තර්ගතය	ඉලෙක්ට්‍රොනික් ඵල
<ul style="list-style-type: none"> ● ද්විතීය සංඛ්‍යා (binary numbers) ● තර්ක ද්වාර (logic gates) <ul style="list-style-type: none"> ● NOT, AND, OR, NAND, NOR, XOR ● සත්‍ය සටහන් (truth table) ● සම්මිශ්‍රණ තර්ක පරිපථ (combination logic circuits) <ul style="list-style-type: none"> ● තර්ක පරිපථ (logic circuits) ● සත්‍ය දර්ශක (seven segments) ● අනුක්‍රමික තර්ක පරිපථ (sequential logic circuits) <ul style="list-style-type: none"> ● පිලිපොල (flip flop) <ul style="list-style-type: none"> ● D පරිපථ ● රේඛීය සංගතීත (linear integrated) පරිපථ භාවිතය <ul style="list-style-type: none"> ● NE555 ● සටහන ඒකජ (clock pulse) <ul style="list-style-type: none"> ● බහු තර්ක (multi vibrator) ● සංඛ්‍යාංක ගණිත (digital counter) ● ප්‍රතිලෝමීත තර්ක පාලන පද්ධති PLC (Programmable Logic Control Systems) හැඳින්වීම 	<ul style="list-style-type: none"> ● සංඛ්‍යාංක කියවීමේදී සඳහා ද්විතීය රටාව භාවිත කරයි. ● තර්ක ද්වාර සඳහා සංකේත ඇඳීම සත්‍ය සටහන් සොයා බැලීම. ● මූලික තර්කද්වාර භාවිත කර සංයුක්ත ද්වාර පරිපථ ඒකලක් කරයි. ● විවිධ ප්‍රදානයන්ගේ සම්මිශ්‍රණයන්ට අනුව සම්පූර්ණ ලබාගත හැකි සරල තර්ක පරිපථ පසලක් කරයි. ● අනුක්‍රමික තර්ක පරිපථවල භාවිතය ඒකකය ලෙස පිලිපොල භාවිත කරයි. ● NE555 පාලන පරිපථය අත්වැරියි බහු තර්ක සහ ඒකත්වයි බහු තර්කය ලෙස භාවිත කරයි. ● ද්විතීය සංඛ්‍යා ඉහළට ගණිතයක් (Up Counter) ඒකලක් කරයි. ● ඉහළට ගණිතයක් සංඛ්‍යාංක බෙදනයක් ලෙස භාවිත කළ හැකි ආකාරය පැහැදිලි කරයි. ● පසලට ගණිතයක් භාවිත කර පාලන පරිපථයක් ඒකලක් කරයි. ● PLC පද්ධතියේ විභාගය, භාවිත සහ වැඩි පැහැදිලි කරයි. ● PLC පද්ධතියක ප්‍රධාන ඒකක කැටි සටහනක් මගින් දක්වයි. ● PLC ඵල ප්‍රතිලෝමීත වීම් කම් කරයි.

විද්‍යාත්මක වර්ග	අවබෝධය	ප්‍රධාන ලක්ෂණ	න
	<ul style="list-style-type: none"> විකල්පයක් අනුමතයේ හා ප්‍රතිරෝධීය වීමට අවබෝධයක් වේ සාම්ප්‍රදායික ප්‍රධාන පුරු සිරුර <ul style="list-style-type: none"> ඉහළ සාමාන්‍යයක් හැසිරවීම කැපී පෙනීම (Kinship map) සාමාන්‍යයක් 		
4.3 සාම්ප්‍රදායික ද්‍රව්‍ය සාමාන්‍යයක් වර්ග අධ්‍යයනය වීමට අවබෝධයක් වේ	<ul style="list-style-type: none"> අවබෝධය සඳහා සාමාන්‍යය වල සහ සාමාන්‍යය ප්‍රධාන සාමාන්‍යයක් (සාමාන්‍යය වල දැක්වීම) අධ්‍යයනය වීමට අවබෝධය 	<ul style="list-style-type: none"> ඉහළ සාමාන්‍යයක් ද සාමාන්‍යය වීමට සාමාන්‍යයක් සාමාන්‍යයක් සඳහා වේ සාමාන්‍යයක් සාමාන්‍යයක් සඳහා සාමාන්‍යය වල සහ සාමාන්‍යය ප්‍රධාන අවබෝධයක් වේ අධ්‍යයනය වීමට අවබෝධය 	
4.4 ඉහළ සාමාන්‍යයක් සහ සාමාන්‍යයක් (physical memory) සහ අනුප්‍රාප්තික අවබෝධයක් (sequential circuit). විකල්පයක් සාමාන්‍යයක් සාමාන්‍යයක් සාමාන්‍යයක් වේ	<ul style="list-style-type: none"> ඉහළ සාමාන්‍යයක් සඳහා වීම <ul style="list-style-type: none"> අවබෝධය (Half Adder) ප්‍රධාන සාමාන්‍යය (Full Adder) අධ්‍යයනය වීමට අධ්‍යයනය වීමට සාමාන්‍යය <ul style="list-style-type: none"> ප්‍රධාන සාමාන්‍යය (Feed Back Loop) අනුප්‍රාප්තික (Flip-Flop) 	<ul style="list-style-type: none"> ඉහළ සාමාන්‍යයක් සාමාන්‍යයක් ප්‍රධාන සාමාන්‍යයක් සඳහා වේ අවබෝධය වීමට සාමාන්‍යය වල සහ සාමාන්‍යය ප්‍රධාන අවබෝධයක් වේ ප්‍රධාන සාමාන්‍යයක් සඳහා සාමාන්‍යය වල සහ සාමාන්‍යය ප්‍රධාන අවබෝධයක් වේ අනුප්‍රාප්තික (Flip-Flop) සාමාන්‍යයක් සාමාන්‍යයක් වීමට වේ 	
5.1 සාමාන්‍යයක් සඳහා	<ul style="list-style-type: none"> සාමාන්‍යයක් සඳහා සාමාන්‍යයක් වීමට 	<ul style="list-style-type: none"> සාමාන්‍යයක් සඳහා සාමාන්‍යයක් වීමට සාමාන්‍යයක් වීමට 	